

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250876

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01L 23/12
H01L 21/60

(21)Application number : 2000-058427

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 03.03.2000

(72)Inventor : KOIZUMI NAOYUKI

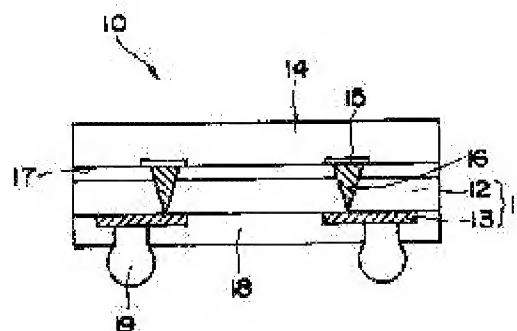
KOBAYASHI SHOICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify the process, reduce the cost and meet the demand for multiple pin structures in a semiconductor device with a semiconductor element mounted in a package such as BGA.

SOLUTION: The semiconductor device 10 comprises a wiring substrate 11 having a resin layer 12 with a wiring pattern 13 formed on one surface for connecting outer connection terminals 19, and a semiconductor element 14 having projecting electrode terminals 16. The semiconductor element 14 is bonded to the other surface of the resin layer 12 through an adhesive layer 17 and the projecting electrode terminals 16 connected to the wiring pattern 13 after piercing the adhesive layer 17 and the resin layer 12.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-250876
(P2001-250876A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 23/12		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
21/60	3 1 1	23/12	L
		21/92	6 0 2 G
			6 0 3 C
			6 0 4 E
審査請求 未請求 請求項の数6 O L (全 6 頁)			

(21)出願番号 特願2000-58427(P2000-58427)

(22)出願日 平成12年3月3日(2000.3.3)

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72)発明者 小泉 直幸

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72)発明者 小林 象一

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74)代理人 100091672

弁理士 岡本 啓三

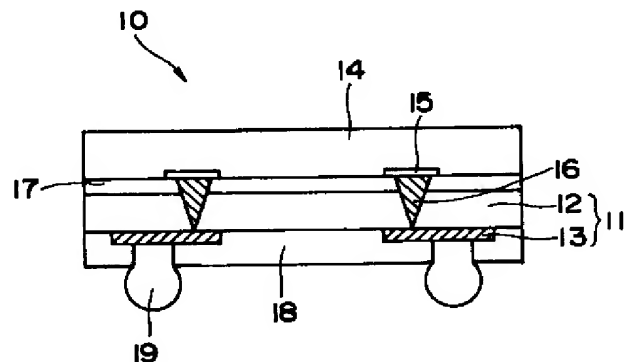
Fターム(参考) 5F044 KK02 LL11 LL15 QQ03 QQ04
RR18

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 BGA等のパッケージに半導体素子を搭載した半導体装置において、プロセスの簡略化及びコストの低減化を図ると共に、多ピン化の要求に十分に 대응することを目的とする。

【解決手段】 半導体装置10は、外部接続端子19を接続する配線パターン13が一方の面に形成された樹脂層12を有する配線基板11と、突起状の電極端子16を有する半導体素子14とを備える。半導体素子14は、接着剤層17を介して樹脂層12の他方の面に接合され、その突起状の電極端子16は、接着剤層17及び樹脂層12を貫通して配線パターン13に接続されている。



【特許請求の範囲】

【請求項1】 樹脂層の片面に配線パターンを備えた配線基板を形成する工程と、
前記配線基板の前記配線パターンが形成されている側の面に絶縁膜を形成し、該配線パターンの端子形成部分に対応する部分の絶縁膜に開口部を形成する工程と、
半導体素子が作り込まれている半導体基板の電極用パッドに突起状の電極端子を形成する工程と、
前記配線基板の前記配線パターンが形成されている側とは反対側の面に接着剤層を形成する工程と、
前記配線基板の接着剤層が形成されている側の面と前記半導体基板の前記突起状の電極端子が形成されている側の面とを対向させて、前記突起状の電極端子と前記配線パターンの位置とが対応するように位置合わせし、加熱及び加圧して、前記突起状の電極端子を、前記接着剤層及び前記樹脂層を貫通して前記配線パターンに接続する工程と、
前記絶縁膜の開口部から露出している前記配線パターンの端子形成部分に外部接続端子を接合する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記配線基板を形成する工程において、樹脂層としてポリイミド又はポリエステルの樹脂フィルムを用い、厚さを50 μ mから75 μ mの範囲内に形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記絶縁膜に開口部を形成する工程において、該絶縁膜の材料として感光性の樹脂を用い、フォトリソグラフィにより開口部を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記突起状の電極端子を形成する工程において、該突起状の電極端子を、樹脂中に導電性粒子を60～95重量%含有させた導電性ペーストをスクリーン印刷によって前記電極用パッドに転写して形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記外部接続端子を接合する工程の後に、半導体基板を少なくとも1個の半導体素子が含まれるように各半導体装置に分割する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 請求項1から5のいずれか一項に記載の半導体装置の製造方法によって製造された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、より詳細には、BGA（ボール・グリッド・アレイ）型のパッケージ構造あるいはチップ・サイズ・パッケージ（CSP）構造を有する半導体装置において、プロセスの簡略化、コストの低減化等を図るのに有用な技術に関する。

【0002】

10

20

30

40

50

【従来の技術】従来、BGA型パッケージにLSI素子等の半導体チップを搭載してなる半導体装置として、種々の形態のものが提案されている。その一例として、図1に示す形態の半導体装置がある。図1に例示される半導体装置において、1はパッケージとして供される配線基板を示し、この配線基板1としては、例えばポリイミド樹脂やポリエステル樹脂等からなる樹脂層2の一方の面（図示の例では上側）に銅（Cu）の配線パターン3が形成されたものが用いられる。また、4は半導体素子（チップ）を示し、その電極端子5は、例えば金（Au）のボンディングワイヤ6を介して基板上の配線パターン3に電氣的に接続され、一方、半導体チップ4の裏面（電極端子5が形成されている側と反対側の面）は、接着剤7により樹脂層2に接着されている。つまり、配線基板1への半導体チップ4の搭載は、ワイヤボンディングによる電極端子5と配線パターン3との電氣的な接続と、接着剤7によるチップ本体と樹脂層2との接合とによって行われている。

【0003】また、8は本装置を外部から保護するためのエポキシ樹脂等からなる封止樹脂を示し、図示のように半導体チップ4、電極端子5、ボンディングワイヤ6及び配線パターン3を覆うようにして配線基板1上に形成されている。一方、配線基板1の半導体チップ4が搭載されている側と反対側の面には、当該基板をマザーボード等に搭載する際に用いる外部接続端子（はんだバンパ等）9が設けられている。この外部接続端子9は、図示のように配線基板1を貫通するスルーホールTHを介して配線パターン3に、ひいては半導体チップ4に電氣的に接続されている。

【0004】かかるパッケージ構造を有する半導体装置は、例えば以下のようにして作製される。まず、ポリイミド樹脂フィルム（樹脂層2）の一方の面に熱可塑性の接着剤（図示せず）を塗布したテープを用意しておき、このテープの所要箇所に、パンチング加工等によりスルーホールTHを形成する。次に、接着剤が塗布されている側の樹脂層2の表面に銅（Cu）箔を熱プレス接着した後、フォトリソグラフィにより、スルーホールTHを覆うように所要の配線パターン3を形成する（配線基板1の完成）。

【0005】次に、配線基板1の必要箇所に接着剤7を塗布し、この接着剤7により半導体チップ4を固定支持すると共に、ボンディングワイヤ6により半導体チップ4の電極端子5を樹脂層2上の配線パターン3に電氣的に接続する（半導体チップ4の搭載）。さらに、半導体チップ4の端子形成面、配線パターン3等を保護するために封止樹脂8で封止する。この封止の手法としては、典型的にトランスファモールドが用いられる。

【0006】最後に、配線基板1の封止樹脂8で覆われている側と反対側の面（図示の例では下側）において、開口しているスルーホールTHにはんだボールを配置

し、リフローにより、配線パターン3に接続されるようにはんだバンプ（外部接続端子9）を形成する。

【0007】

【発明が解決しようとする課題】上述したように従来（図1）の半導体装置では、半導体チップ4の電極端子5と外部接続端子9との電気的な導通をとるためには、配線基板（樹脂層2）に穴明け（スルーホールTHの形成）を行う必要があった。しかしながら、このような穴明け作業は極めて面倒であり、またそのために相当の時間を要するといった不利がある。つまり、製造プロセスが複雑化するといった問題があった。さらに、パンチング加工等による穴明け処理は、製造コストの増大を招くといった不利もある。

【0008】また、封止樹脂8で封止する典型的な手法としてトランスファモールドが用いられるが、この処理を行う際には細心の注意を払う必要がある。それは、樹脂の流れる勢いやその押圧によってボンディングワイヤ6の位置がずれたり、或いは場合によっては隣り合うボンディングワイヤ6が接触して電気的にショートするおそれがあるからである。つまり、樹脂封止の作業についても、極めて面倒で相当の時間を要するといった問題があった。また、封止樹脂8を所定形状に成形するために金型（モールド）を必要とするため、製造コストが増大するといった不利もある。

【0009】さらに、外部接続端子9に接続される配線パターン3と半導体チップ4との電気的接続はワイヤボンディング接続によって行われているため、外部接続端子9を不都合無く設けられる箇所がボンディング領域（半導体チップ4を搭載する基板1の周辺領域）の近傍に限られるといった不利がある。そのため、近年の高密度実装に即した多ピン化の要求に十分に答えられないといった課題もあった。

【0010】本発明は、上述した従来技術における課題に鑑み創作されたもので、プロセスの簡略化及びコストの低減化を図ると共に、多ピン化の要求に十分に答えることができる半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明の一形態によれば、樹脂層の片面に配線パターンを備えた配線基板を形成する工程と、前記配線基板の前記配線パターンが形成されている側の面に絶縁膜を形成し、該配線パターンの端子形成部分に対応する部分の絶縁膜に開口部を形成する工程と、半導体素子が作り込まれている半導体基板の電極用パッドに突起状の電極端子を形成する工程と、前記配線基板の前記配線パターンが形成されている側とは反対側の面に接着剤層を形成する工程と、前記配線基板の接着剤層が形成されている側の面と前記半導体基板の前記突起状の電極端子が形成されている側の面とを対向させて、前記突

起状の電極端子と前記配線パターンの位置とが対応するように位置合わせし、加熱及び加圧して、前記突起状の電極端子を、前記接着剤層及び前記樹脂層を貫通して前記配線パターンに接続する工程と、前記絶縁膜の開口部から露出している前記配線パターンの端子形成部分に外部接続端子を接合する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0012】また、本発明の他の形態によれば、上述した半導体装置の製造方法によって製造された半導体装置が提供される。本発明に係る半導体装置及びその製造方法によれば、半導体素子の電極端子と外部接続端子との電気的な導通は、その突起状の電極端子が接着剤層及び樹脂層を貫通して配線パターンに接触していることにより、確保される。つまり、従来のように半導体チップの電極端子と外部接続端子との電気的な導通をとるための配線基板の穴明け処理（スルーホールの形成）を必要としない。これによって、製造プロセスを簡略化することができ、また製造コストの低減化を図ることが可能となる。

【0013】また、半導体素子の電極端子及び配線パターンは外部に露出していないので、従来技術に見られたような保護用の封止樹脂が不要となり、またその成形用の金型（モールド）も不要となる。つまり、封止処理を必要としない。これは、プロセスの簡略化及びコストの低減化に寄与するものである。さらに、半導体素子の電極端子と配線パターン（外部接続端子）との電気的な接続は、従来技術に見られたようなワイヤボンディング接続ではなく、フリップチップ接続によって行われているので、外部接続端子の設置箇所が基板上のボンディング領域の近傍に限られるといった不利を招くことなく、基板面全体を端子形成領域として有効に使用することができる。つまり、外部接続端子の設置個数を相対的に増やすことができ、高密度実装に即した多ピン化を実現することが可能となる。

【0014】

【発明の実施の形態】図2は本発明の一実施形態に係る半導体装置の断面的な構成を模式的に示したものであり、特定的に、チップ・サイズ・パッケージ（CSP）構造の半導体装置の例を示している。本実施形態に係る半導体装置10は、基本的には、パッケージとして供される配線基板11と、配線基板11の一方の面に接着剤層17を介して搭載された半導体素子（チップ）14と、配線基板11の他方の面に形成された保護膜としての絶縁膜18と、この絶縁膜18の開口部から突出するように設けられた外部接続端子としてのはんだバンプ19とを備えて構成されている。

【0015】配線基板11は、ベース基材としての樹脂層12の一方の面（図示の例では下側）に配線パターン13が形成された構造を有している。樹脂層12には、例えばポリイミド樹脂、ポリエステル樹脂等からなる樹

脂フィルムや、ガラスクロス（ガラス繊維）にポリイミド樹脂、ポリエステル樹脂等を含浸させたフィルムなどが用いられる。樹脂層12の厚さは、後述のプロセスから理解されるように、可及的に薄い方が望ましい。但し、配線基板11のベース基材としての役割を果たすのに十分な厚さは確保する必要がある。これを考慮して本実施形態では、樹脂層12として厚さが $50\mu\text{m}$ ～ $75\mu\text{m}$ の薄いものを使用している。一方、配線パターン13の材料としては、典型的に銅（Cu）が用いられるが、更に導電性を高めるために、めっき等により金（Au）等の被覆を施すのが好ましい。

【0016】また、半導体チップ14の端子形成面（図示の例では下側）に設けられた電極用パッド15には、電極端子を構成する突起状の導電性バンプ16が形成されている。この突起状の導電性バンプ（電極端子）16は、その先端が接着剤層17及び樹脂層12を貫通して配線パターン13に接触している。つまり、半導体チップ14は、接着剤層17を介して配線基板11の樹脂層12に接合されていると共に、突起状の導電性バンプ（電極端子）16が接着剤層17及び樹脂層12を貫通して配線パターン13に電気的に接続されるように配線基板11に搭載されている（フリップチップ実装）。

【0017】導電性バンプ16の材料としては、樹脂中に導電性粒子を60～95重量%程度含有させた導電性ペーストが用いられる。樹脂としては、例えばポリエステル系、ポリイミド系、アクリル系、エポキシ系等のものが用いられ、導電性粒子としては、例えば金（Au）、銀（Ag）、銅（Cu）、ニッケル（Ni）、はんだ等の金属粒子が用いられる。また、導電性バンプ16の形態としては、上記の導電性ペーストにより形成したもの（スタッドバンプ）や、めっきにより形成したバンプ（めっきバンプ）を用いてもよい。また、接着剤層17には、一般的なエポキシ系の接着剤が用いられ、形態としては、ペースト状又はフィルム状のものが用いられる。

【0018】また、絶縁膜18は、配線基板11の配線パターン13が形成されている側の面に、配線パターン13の端子形成部分に対応する部分が開口するように形成されている。本実施形態では、絶縁膜18の材料として感光性の樹脂、例えば感光性のソルダレジストを用いている。外部接続端子として供されるはんだバンプ19は、絶縁膜18の開口部から露出している配線パターン13の端子形成部分に電気的に導通するように接合されている。このはんだバンプ19は、本装置10をマザーボード等の実装用基板に実装するために用いられる。

【0019】以下、本実施形態の半導体装置10を製造する方法について、その製造工程を順に示す図3及び図4を参照しながら説明する。先ず最初の工程では（図3（a）参照）、パッケージとして供される配線基板11

を作製する。これは、以下のようにして作製され得る。例えば、樹脂層12として、厚さが $50\mu\text{m}$ ～ $75\mu\text{m}$ のポリイミド樹脂フィルムの一方の面にポリイミド系の熱可塑性接着剤が塗布されたテープを用意し、このテープ（樹脂層12）の接着剤が塗布されている面に銅（Cu）箔を熱プレス接着した後、フォトリソグラフィにより所要の配線パターン13を形成する。具体的には、銅箔の上に感光性のレジストを塗布し、該レジストを配線パターンの形状に従うようにパターンニングし、さらにエッチングにより不要なCuを除去し、レジストを剥離した後、銅（Cu）箔に金（Au）めっきを施す。この際、銅（Cu）箔をめっきベース膜（給電層）として用いることで、電解めっきにより銅（Cu）箔上にAuの被覆層を形成することができる。このような処理を経て、樹脂層12の一方の面に所要の配線パターン13が形成されてなる配線基板11が作製される。

【0020】次の工程では（図3（b）参照）、配線基板11の配線パターン13が形成されている側の面に、配線パターン13の端子形成部分に対応する部分が開口された絶縁膜（保護膜）18を、フォトリソグラフィにより形成する。例えば、配線基板11の配線パターン13が形成されている側の全面に感光性のソルダレジストを塗布し、さらに配線パターン13の端子形成部分の形状に従うように露光及び現像（ソルダレジスト層のパターンニング）を行い、端子形成部分に対応する部分のソルダレジスト層に開口部を形成する。これによって、配線基板11の配線パターン13が形成されている側の面において、配線パターン13の端子形成部分が露出し、それ以外の部分がソルダレジスト層（絶縁膜）18によって覆われたことになる。

【0021】次の工程では（図3（c）参照）、最終的に個々のCSPに分割されるべき複数の半導体素子（チップ14）が予め作り込まれている半導体基板（ウエハ）20を用意し、このウエハ20上の各電極用パッド15に、本発明の特徴部分をなす突起状の導電性バンプ（電極端子）16を形成する。かかる突起状の導電性バンプ16は、例えば、ポリエステル系やポリイミド系などの樹脂中にAu、Ag、はんだ等の導電性粒子を60～95重量%程度含有させた導電性ペーストをスクリーン印刷によって各電極用パッド15上に転写することにより、形成される。このスクリーン印刷の際に用いるマスクとしては、例えば、厚さが $25\mu\text{m}$ ～ $50\mu\text{m}$ のポリイミドフィルムに、直径が $30\mu\text{m}$ ～ $60\mu\text{m}$ の貫通孔をレーザ等により明けたものを用いることが好ましい。

【0022】次の工程では（図3（d）参照）、ソルダレジスト層（絶縁膜）18が形成された配線基板11を、ソルダレジスト層18が形成されている側を下にして吸着用の治具（図示せず）で保持した後、配線基板11の樹脂層12上に、ペースト状のエポキシ系の接着剤

(後の段階で硬化されて接着剤層17となる。)を塗布する。さらに、この接着剤の上に、突起状の導電性バンプ(電極端子)16が形成されている側を下にしてウエハ20(半導体チップ14)を配置し、その導電性バンプ(電極端子)16と各々の配線パターン13とが対応するようにウエハ20(半導体チップ14)の位置合わせを行う。

【0023】なお、この工程ではペースト状の接着剤を基板11上に塗布しているが、かかる形態に代えて、フィルム状の接着剤を基板11上に貼り付けてもよい。フィルム状の接着剤については、プリプレグのようにBステージ状態(半硬化状態)にあるものを用いる必要がある。次の工程では(図4(a)参照)、位置合わせが行われた配線基板11及びウエハ20(半導体チップ14)に対し、加熱・加圧用の治具(図示せず)を用いて、約200℃の温度で加熱すると共に、図中矢印で示すように加圧する。これによって、接着剤が硬化し(接着剤層17)、ウエハ20(半導体チップ14)の突起状の導電性バンプ(電極端子)16の先端が接着剤層17及び樹脂層12を貫通して配線パターン13に接触し、同時に、接着剤層17を介してウエハ20(半導体チップ14)と配線基板11の樹脂層12とが接合される。これによって、各半導体チップ14は配線基板11に搭載されたことになる(フリップチップ実装)。

【0024】次の工程では(図4(b)参照)、ウエハ20(半導体チップ14)が接合された配線基板11を、ソルダレジスト層(絶縁膜)18が形成されている側を上にして吸着用の治具(図示せず)で保持した後、ソルダレジスト層18の開口部から露出している配線パターン13の端子形成部分にはんだバンプ(外部接続端子)19を形成する。

【0025】これは、ソルダレジスト層18の開口部にはんだボールを配置し、リフローを行うことで実現される。これによって、はんだボールが開口部内を満たして配線パターン13の端子形成部分に電氣的に導通し、ソルダレジスト層18の上側にボール状に突出したはんだバンプ19が形成される。なお、本実施形態では外部接続端子としてはんだバンプ19を用いているが、これに代えて金(Au)バンプを用いてもよい。

【0026】また、特に図示はしていないが、はんだボールをソルダレジスト層18の開口部内に配置する前に、はんだの濡れ性を向上させるために、当該開口部の内壁に銅(Cu)めっき等による導体皮膜を形成するようにすると好適である。最後の工程では(図4(c)参照)、ダイサー等により、破線で示すように分割線C-C'に沿って個々のCSPに分割し、本実施形態(図2)の半導体装置10を得る。

【0027】以上説明したように、本実施形態に係る半導体装置10及びその製造方法によれば、半導体チップ14の電極端子(突起状の導電性バンプ)16と外部接

続端子(はんだバンプ)19との電氣的な導通は、その突起状の導電性バンプ16が接着剤層17及び樹脂層12を貫通して配線パターン13に接触していることにより、確保される。つまり、従来技術(図1)のように半導体チップの電極端子と外部接続端子との電氣的な導通をとるための配線基板の穴明け処理(スルーホール形成)を必要としない。これによって、製造プロセスの簡略化及び製造コストの低減化を図ることができる。

【0028】また、図2の構成からもわかるように、半導体チップ14の電極端子16及び配線パターン13は外部に露出していないので、従来技術(図1)で用いられていたような封止樹脂を必要とせず、またその成形用の金型(モールド)も必要としない。つまり、封止処理を必要としない。これは、プロセスの簡略化及びコストの低減化に寄与するものである。

【0029】さらに、半導体チップ14の電極端子16と配線パターン13(外部接続端子19)とはフリップチップ実装によって電氣的に接続されているので、従来のように外部接続端子の設置箇所が基板上のボンディング領域の近傍に限られるといった不利を招くことなく、基板面全体を端子形成領域として有効に使用することができる。これによって、外部接続端子(はんだバンプ19)の設置個数を相対的に増やすことができ、ひいては多ピン化に寄与することが可能となる。

【0030】なお、上述した実施形態では図3(a)～図4(b)に示す各処理をウエハ・スケールで行った後、個々のCSPに分割して半導体装置10を得るようにした場合について説明したが、半導体装置10を製造する方法はこれに限定されないことはもちろんである。例えば、ウエハ・スケールではなく、最初から個々のチップサイズに対応させて配線基板11を作製する工程(図3(a)と同様の工程)から始めて、最終的にはんだバンプ19を形成する工程(図4(b)と同様の工程)で終わるようにしてもよい。この場合、図4(c)の工程は不要である。

【0031】

【発明の効果】以上説明したように本発明によれば、製造プロセスの簡略化及び製造コストの低減化を図ることができると共に、多ピン化の要求に十分に 대응することが可能となる。

【図面の簡単な説明】

【図1】従来技術の一例に係る半導体装置の構成を模式的に示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の構成を模式的に示す断面図である。

【図3】図2の半導体装置の製造工程を示す断面図である。

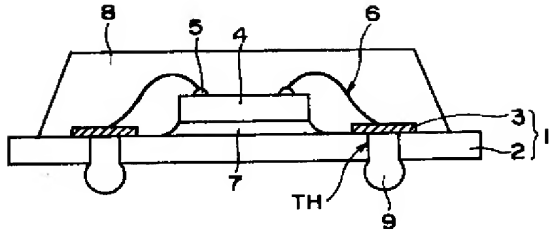
【図4】図3の製造工程に続く製造工程を示す断面図である。

【符号の説明】

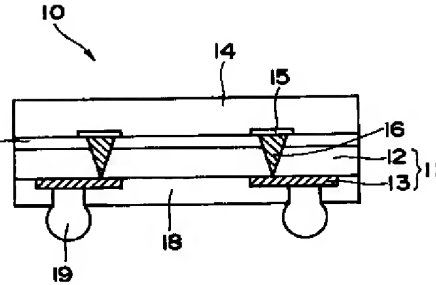
- 10…半導体装置
 11…配線基板
 12…樹脂層
 13…配線パターン（端子形成部分を含む）
 14…半導体素子（チップ）
 15…電極用パッド

- 16…突起状の電極端子（導電性バンプ）
 17…接着剤層
 18…絶縁膜（ソルダレジスト層）
 19…外部接続端子（はんだバンプ又はAuバンプ）
 20…半導体基板（ウエハ）

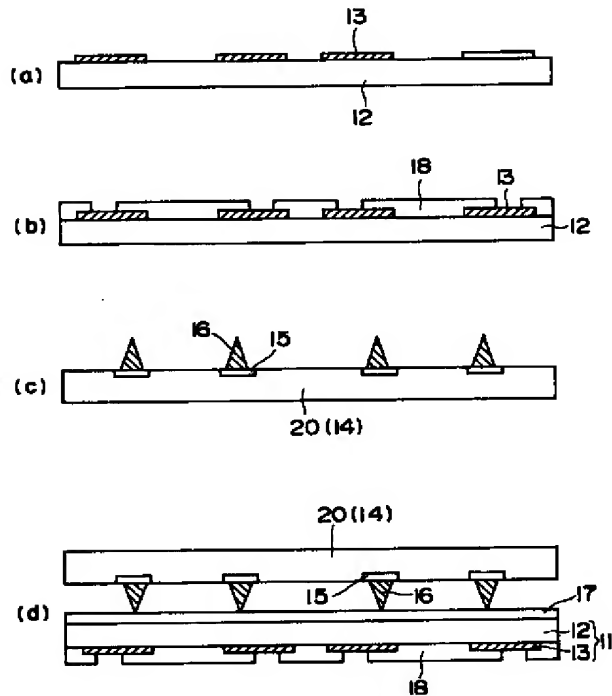
【図1】



【図2】



【図3】



【図4】

